

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP404308957A

DOCUMENT-IDENTIFIER: JP 04308957 A

TITLE: COMPUTER SYSTEM

PUBN-DATE: October 30, 1992

INVENTOR-INFORMATION:

NAME

FUKUSHIMA, TATSUYUKI

SHIGEMURA, SHINJI

ASSIGNEE-INFORMATION:

NAME

KYOCERA CORP

COUNTRY

N/A

APPL-NO: JP03100308

APPL-DATE: April 5, 1991

INT-CL (IPC): G06F013/42, G06F013/36

ABSTRACT:

PURPOSE: To transfer both bus lines by the same transferring procedure, to easily attain the high speed of a processing speed at a CPU side, to use a low speed equipment at a low speed bus side, and to use an element whose power consumption is reduced, and whose heat is reduced, at a low cost for the low speed equipment by inserting a bus speed converter into a synchronous bus line.

CONSTITUTION: This bus speed converter is inserted into a synchronous bus, and the synchronous bus is divided into a high speed bus at a CPU side and a low speed bus at an I/O equipment side. At the time of writing data from the high speed bus side in the low speed bus side, a selector 14 for a high speed bus address latch, and a selector 16 for a high speed bus write data latch, are switched to the high speed bus side, and an address and data are respectively latched by a latch circuit 13 for the high speed bus address, and a latch circuit 15 for the high speed bus write data, when a write signal is inputted. A command signal I/F device 21 frequency-divides a clock from the high speed bus side, and transmits the write signal to the low speed bus side synchronously with it, so that the data can be transmitted through an outputting buffer 17 for the low speed bus to the low speed bus side.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-308957

(43)公開日 平成4年(1992)10月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/42	3 4 0 A	8840-5B		
13/36	3 2 0 Z	7052-5B		

審査請求 未請求 請求項の数1 (全 5 頁)

(21)出願番号 特願平3-100308

(22)出願日 平成3年(1991)4月5日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 福島 達之

熊本県熊本市西原1-15-7 京セラ株式会社熊本事業所内

(72)発明者 重村 慎二

熊本県熊本市西原1-15-7 京セラ株式会社熊本事業所内

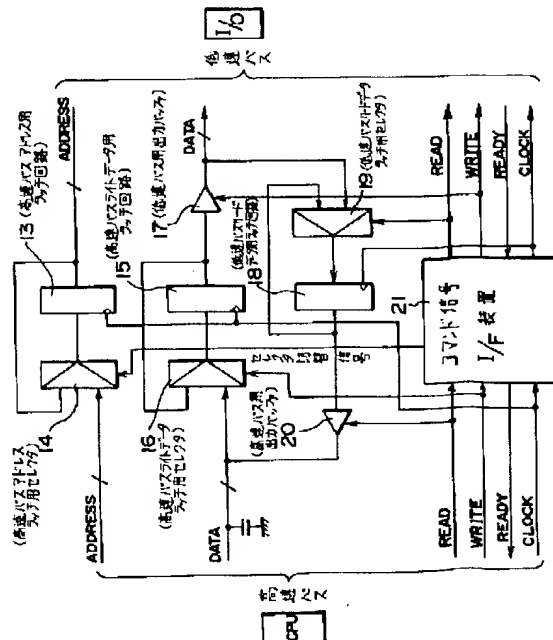
(74)代理人 弁理士 井ノ口 壽

(54)【発明の名称】 コンピュータシステム

(57)【要約】

【目的】 同期形バスラインにバス速度変換装置を挿入することにより、両バスラインを同一の転送手順で転送し、CPU側の処理速度の高速化を容易に図れるとともに低速バス側は低速機器を使用でき低消費電力、低発熱の安価の素子を用いることができる。

【構成】 本バス速度変換装置は同期バスに挿入され、同期バスはCPU側の高速バスとI/O機器側の低速バスに分かれる。高速バス側からデータを低速バス側に書き込む場合、ライト信号が入力されるとセクタ14および16が高速バス側に切替えられ、ラッチ回路13および15にそれぞれアドレスとデータがラッチされる。コマンド信号I/F装置21は高速バス側からのクロックを分周しそれに同期させて低速バス側にライト信号を送出することにより出力バッファ17を介してデータが低速バス側に送出される。



【特許請求の範囲】

【請求項1】 それぞれ処理速度の異なる装置間を結合する同期バスラインにバス速度変換装置を設置し、前記バス速度変換装置は、高速側バスと低速側バスいずれかのアドレス信号線およびデータ信号線を選択するための高速バス側アドレス用およびデータ用セレクタと、前記セレクタで選択されたアドレス信号線からのアドレスおよびデータ信号線からのデータを一時格納するアドレス用およびデータ用ラッチ回路と、前記高速バス側データ用ラッチ回路に格納されたデータを低速側バスに出力する低速バス用出力バッファと、高速側バスと低速側バスいずれかのアドレス信号線およびデータ信号線を選択するための低速バス側アドレス用およびデータ用セレクタと、前記低速バス側データ用ラッチ回路に格納されたデータを高速側バスに出力する高速バス用出力バッファと、前記高速バス側からの制御信号に基づいて前記セレクタ、ラッチ回路および出力バッファを制御し、前記高速バス側から供給されるクロックの分周出力にしたがって前記ラッチ回路にラッチされたデータを出力することにより高速バス側と低速バス側との間のデータ速度変換を行う制御装置とから構成されたことを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は同期バスラインに入出力手順を変更することなくデータ転送速度を変換する装置を備えたコンピュータシステムに関する。

【0002】

【従来の技術】 コンピュータシステムを構成するCPU、メモリ、I/O機器等の間を結合するバスラインには非同期形と同期形が従来より存在する。

【0003】

【発明が解決しようとする課題】 非同期形バスはデータの転送終了時毎に終了を知らせる信号を発生させていた。そのため、転送元と転送先で同一のクロックを用いない場合は毎回クロックの取り込みに1クロック分の差が生じる可能性があり、転送速度が一定しない。また、同一クロックを用いた場合には転送元および転送先を最適な速度で動作させることは困難であった。一方、同期形バスはデータの転送速度を上げるためには同期バス全体の速度を上げなければならないので、長距離を要するシステムには使用しにくいという欠点があった。また、転送に用いる素子の消費電力および価格が上昇するという問題があった。転送の高速化に対応するためには同一バスに接続されている全ての素子の処理速度が高速化に対応しなければならない。本発明の目的は上記各欠点を解決するもので、同期形バスラインにバス速度変換装置を挿入することにより、両バスラインを同一の転送手順で転送し、CPU側の処理速度の高速化を容易に図れるとともに低速バス側は低速機器を使用でき低消費電力、

低発熱の安価の素子を用いることができるコンピュータシステムを提供することにある。

【0004】

【課題を解決するための手段】 前記目的を達成するために本発明によるコンピュータシステムはそれぞれ処理速度の異なる装置間を結合する同期バスラインにバス速度変換装置を設置し、前記バス速度変換装置は、高速側バスと低速側バスいずれかのアドレス信号線およびデータ信号線を選択するための高速バス側アドレス用およびデータ用セレクタと、前記セレクタで選択されたアドレス信号線からのアドレスおよびデータ信号線からのデータを一時格納するアドレス用およびデータ用ラッチ回路と、前記高速バス側データ用ラッチ回路に格納されたデータを低速側バスに出力する低速バス用出力バッファと、高速側バスと低速側バスいずれかのアドレス信号線およびデータ信号線を選択するための低速バス側アドレス用およびデータ用セレクタと、前記低速バス側データ用ラッチ回路に格納されたデータを高速側バスに出力する高速バス用出力バッファと、前記高速バス側からの制御信号に基づいて前記セレクタ、ラッチ回路および出力バッファを制御し、前記高速バス側から供給されるクロックの分周出力にしたがって前記ラッチ回路にラッチされたデータを出力することにより高速バス側と低速バス側との間のデータ速度変換を行う制御装置とから構成されている。

【0005】

【実施例】 以下、図面等を参照して本発明をさらに詳しく説明する。図1は本発明によるコンピュータシステムのバス速度変換装置の接続例を示す図である。高速同期バス（以下「高速バス」という）7にはCPU1およびメモリ2が接続されている。一方、低速同期バス（以下「低速バス」という）8にはI/O機器4、5および低速メモリ6が接続されている。バス速度変換装置3は高速バス7と低速バス8の間に接続され、例えば、CPU1から低速メモリ6にデータの書き込みを行う場合は、所定の転送手順で行い、当該装置3でデータの速度調整した後、同じ転送手順で低速メモリ6に格納される。低速バス8側から高速バス7側にデータを転送する場合も同様の手順で行われる。低速バスは高速バスのクロックを分周した速度に設定されている。

【0006】 図2はバス速度変換装置の他の接続例を示す図である。図1と同一の符号を付した部分は図1のその部分と同様な機能を有する。高速バス7にCPU1とメモリ2が接続されている構成は上記例と同様である。また、I/O機器4は低速バス8に接続されている。高速—中速バス速度変換装置10は上記高速バス7と中速バス9との間に接続され、中速バス9には中程度の速度のI/O機器12が接続されている。中速—低速バス速度変換装置11は中速バス9と低速バス8との間に接続されている。このようにバス速度変換装置を使用すれ

ば、3種類の速度の異なる機器間の速度を調整できるとともに各機器の処理に合わせた速度のバスに接続できるので、各機器の特長を生かすことができる。中速バス9および低速バス8は高速バス7のクロックを分周した速度に設定されている。

【0007】図3は本発明によるコンピュータシステムのバス速度変換装置の実施例を示す回路ブロック図である。図中、左側は高速バス側、右側は低速バス側である。高速バスおよび低速バスのアドレス信号線は高速バスアドレスラッチ用セクタ14の2つの入力にそれぞれ接続されている。ラッチ用セクタ14の出力は高速バスアドレス用ラッチ回路13の入力に接続され、ラッチ回路13の出力は低速バスのアドレス信号線に接続されている。また、高速バスのデータ信号線および高速バスライトデータ用ラッチ回路15の出力は高速バスデータラッチ用セクタ16の2つの入力にそれぞれ接続されている。ラッチ用セクタ16の出力は高速バスアドレス用ラッチ回路15の入力に接続され、ラッチ回路15の出力は低速バス用出力バッファ17の入力に接続されている。低速バス用出力バッファ17の出力は低速バスのデータ信号線に接続されている。

【0008】低速バスのデータ信号線および低速バスリードデータ用ラッチ回路18の出力は低速バスリードデータラッチ用セクタ19の2つの入力にそれぞれ接続されている。ラッチ用セクタ19の出力は低速バスリードデータ用ラッチ回路18の入力に接続され、ラッチ回路18の出力は高速バス用出力バッファ20の入力に接続されている。高速バス用出力バッファ20の出力は高速バスのデータ信号線に接続されている。コマンド信号I/F装置(制御装置)21は高速バス側よりリード信号、ライト信号およびクロック信号が入力され、低速バスに対しリード信号、ライト信号およびクロック信号を出力するように構成されている。

【0009】まず、高速バスから低速バス側に書き込みが行われる場合を図4(a)を参照して説明する。高速バスからは高速バス側のクロックに同期してライト信号が出力される。このライト信号によってラッチ用セクタ16が高速バス側に切り替えられ、高速バスのデータがデータ用ラッチ回路15にラッチされる。ラッチは高速バスのクロックのタイミングでなされる。同時にコマンド信号I/F装置21はセクタ切替信号を出力してラッチ用セクタ14を高速バス側に切替え、アドレス信号がアドレス用ラッチ回路13にラッチされる。コマンド信号I/F装置21は次のクロックで高速側にレディ信号を送出する。そして高速バス側からのクロックを分周して作成した低速側のクロックに同期させてライト信号を低速バス側に出力する。このライト信号は出力バッファ17に送られて、データ用ラッチ回路15にラッチされたデータが読出されて低速バスに送られる。コマンド信号I/F装置21は低速バス側からのレディ信号を

受ける。

【0010】つぎに高速バス側から低速バスのリードが行われる場合を図4(b)を参照して説明する。高速バス側のリード信号が高速バス側のクロックに同期してコマンド信号I/F装置21に入力する。コマンド信号I/F装置21は切替信号を出力して高速バスアドレスラッチ用セクタ14を切替え、高速バスから送られてくるアドレスを高速バスアドレス用ラッチ回路13にラッチする。また、高速バスのクロックを分周して作成した低速クロックに同期させて低速バス側のリード信号を発生し低速バスリードデータラッチ用セクタ19を低速バス側に切り替えるとともに低速バス側からのレディ信号を待つ。コマンド信号I/F装置21は低速バス側のレディ信号が返ってきた時点で、発生していたリード信号の発生を停止する。そして低速バス側からデータが送られてくると、そのデータは低速バスリードデータ用ラッチ回路18にラッチされる。ラッチされたデータは高速バス側のリード信号によりアクティブにされた高速バス用出力バッファ20により高速バスに出力される。同時にコマンド信号I/F装置21は高速バス側にレディ信号を出力する。

【0011】

【発明の効果】以上、説明したように本発明によるコンピュータシステムはそれぞれ処理速度の異なる装置間を結合する同期バスラインにバス速度変換装置を設置してあるので、以下のような種々の利点を有する。まず、バス速度変換装置を挿入して同期バスラインを低速バスと高速バス部分に仕切ることによりCPU側のみを容易に高速化できる。また、低い周波数でしか動作しない機器をシステム全体の速度を下げることなく接続できる。高速バスはバス速度変換装置の片側のみとなるため配線の設計が容易になるとともに高周波ノイズの放射が少なくなる。低速バス側の機器は低い周波数で動作し低消費電力、低発熱を実現でき、かつ安価な素子を使用することができる。さらにバス速度変換装置を外してもコンピュータシステムは全体の速度を下げることで動作させることができる。同期バスであるため、バス速度変換装置の転送方向を転送信号有効前に決定する転送手順を用いるとデータ転送の無駄をなくすることができる。

【図面の簡単な説明】

【図1】本発明によるコンピュータシステムのバス速度変換装置の接続例を示す図である。

【図2】バス速度変換装置の他の接続例を示す図である。

【図3】本発明によるコンピュータシステムのバス速度変換装置の実施例を示す回路ブロック図である。

【図4】バス速度変換装置の速度変換動作を説明するためのタイミングチャートである。

【符号の説明】

1…中央処理装置(CPU)

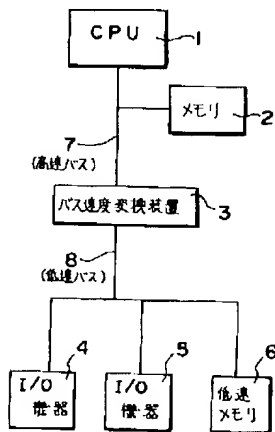
5

6

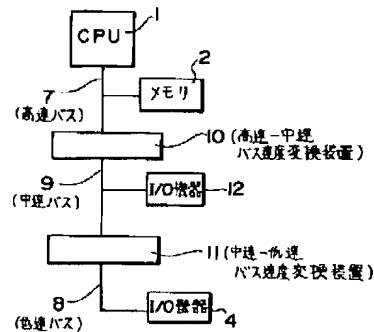
- 2…メモリ
- 3…バス速度変換装置
- 4, 5…I/O機器
- 6…低速メモリ
- 7…高速バス
- 8…低速バス
- 9…中速バス
- 10…高速-中速バス速度変換装置
- 11…中速-低速バス速度変換装置

- 13…高速バスアドレス用ラッチ回路
- 14…高速バスアドレスラッチ用セレクタ
- 15…高速バスライトデータ用ラッチ回路
- 16…高速バスライトデータラッチ用セレクタ
- 17, 20…出力バッファ
- 18…低速バスリードデータ用ラッチ回路
- 19…低速バスリードデータラッチ用セレクタ
- 21…コマンド信号I/F装置

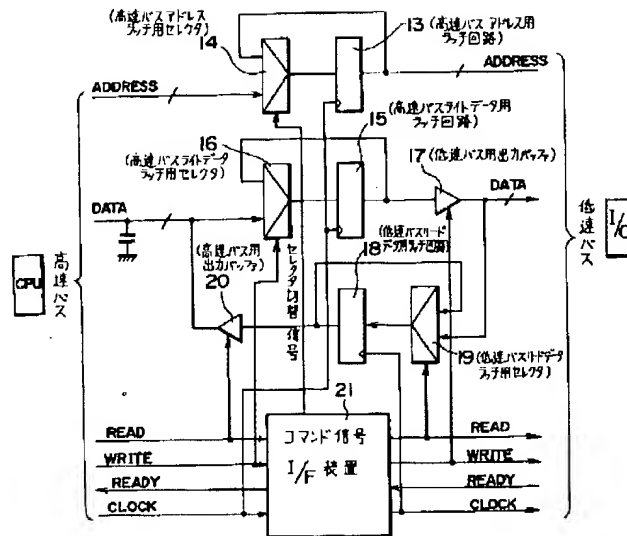
【図1】



【図2】



【図3】



【図4】

